Міністерство освіти і науки України НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



Звіт

З лабораторної роботи № 1

*З дисципліни «* **МОДЕЛЮВАННЯ КОМПЮТЕРНИХ СИСТЕМ** *»*

На тему: « Інсталяція та ознайомлення з середовищем розробки Xilinx ISE » Варіант 15

Виконав: ст. гр. КІ-201

Моравський О-Б.С.

Прийняв: Козак Н.Б.

Львів – 2023

**Мета роботи:** Побудувати дешифратор 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.

# Завдання:

1. Створення облікового запису на [www.xilinx.com](http://www.xilinx.com/)
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова пристрою «3 в 7» за допомогою ISE Webpack Schematic

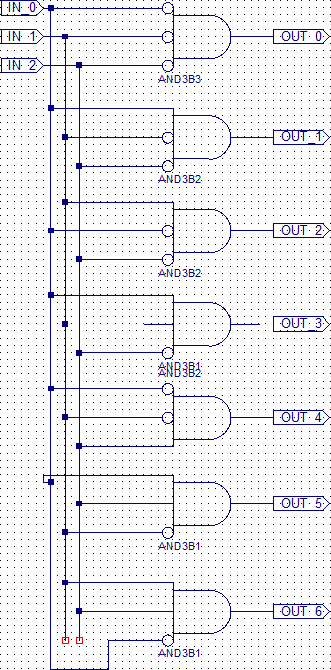
Capture та моделювання його роботи за допомогою симулятора ISim.

1. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

# Хід роботи

1. Використовуючи компоненти з бібліотеки, реалізовую схему згідно із завданням.

Схема дешифратора 3->7 на логічних елементах бібліотеки Xilinx ISE.



1. Додав до проєкту User Constraint файл та призначив виводам схеми виводи цільової FPGA.

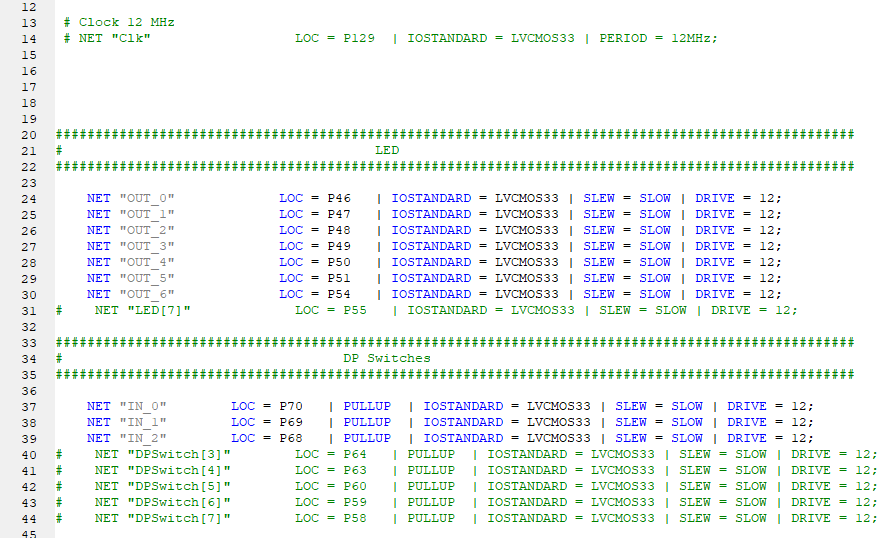
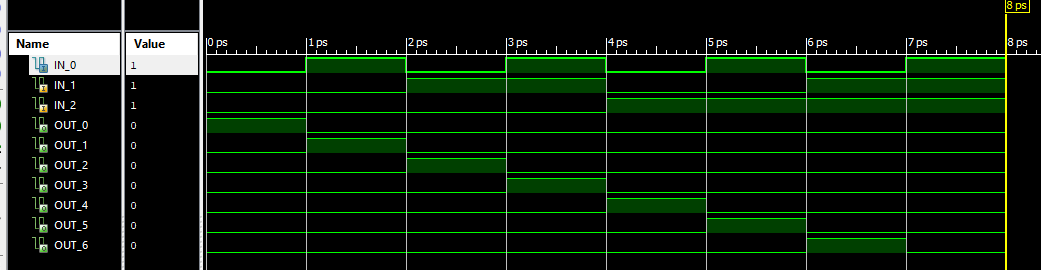
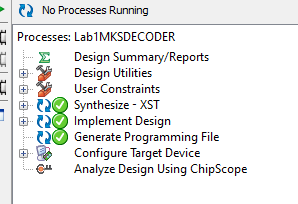
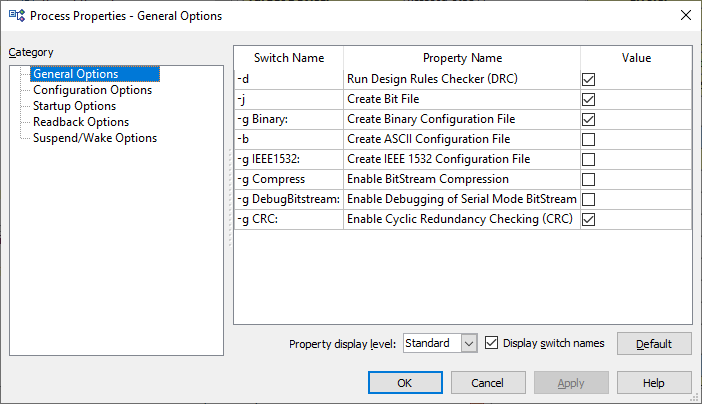


Рис. .ucf файл

1. Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.



1. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.



**Висновок**: під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA,

реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прошиття.